

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-148264

(43)Date of publication of application : 26.05.2000

(51)Int.CI. G05F 1/56

(21)Application number : 10-317271 (71)Applicant : NKK CORP

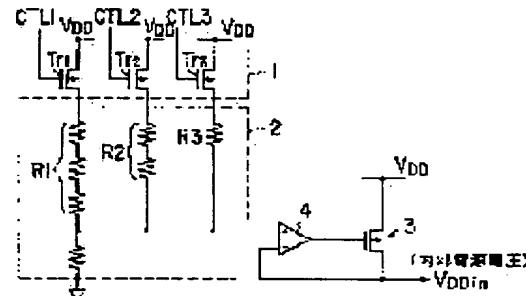
(22)Date of filing : 09.11.1998 (72)Inventor : MATSUBARA SATOSHI

## (54) POWER SOURCE DROP CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain the power source drop circuit which stably drives a circuit element, makes the current consumption in standby mode small, and reduces a DC current leak by making it possible to switch an internal source voltage generated from an external source voltage among  $\geq 3$  voltage values.

**SOLUTION:** The power source drop circuit is set to a desired internal source voltage VDDin such as a source voltage VDD for normal driving, a source voltage for a burn-in test, etc., or a standby source voltage Vstby in standby mode through logical operation wherein voltage-division level signals divided by resistances are selected by switches (Pch transistors Tr1 to Tr3) while the constant external source voltage supplied from outside is maintained without being varied and supplies the desired internal source voltage by stably driving an amplification part 4.



## LEGAL STATUS

[Date of request for examination] 26.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-148264

(P 2 0 0 0 - 1 4 8 2 6 4 A)

(43) 公開日 平成12年5月26日 (2000.5.26)

(51) Int. Cl.<sup>7</sup>  
G05F 1/56

識別記号  
310

F I  
G05F 1/56  
310  
310  
310

テマコード (参考)  
W 5H430  
K  
P

審査請求 未請求 請求項の数 6 ○ L (全 5 頁)

(21) 出願番号 特願平10-317271

(71) 出願人 000004123

日本钢管株式会社

(22) 出願日 平成10年11月9日 (1998.11.9)

東京都千代田区丸の内一丁目1番2号

(72) 発明者 松原 聰

東京都千代田区丸の内一丁目1番2号 日

本钢管株式会社内

(74) 代理人 100073221

弁理士 花輪 義男

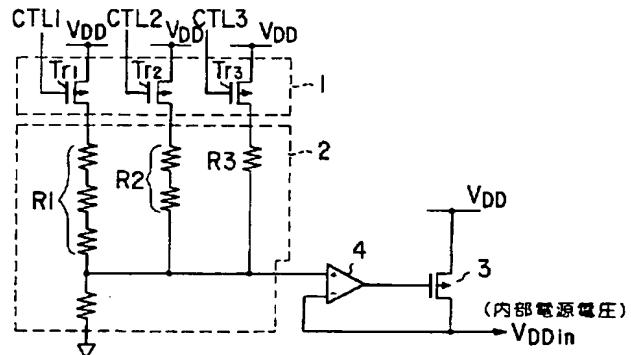
F ターム (参考) 5H430 BB01 BB05 BB09 BB11 EE06  
EE09 FF01 FF13 GG05 HH03

(54) 【発明の名称】電源降下回路

(57) 【要約】

【課題】従来の降圧回路は、外部端子から通常の信号レベルとは異なる入力レベルの信号を入力し内部電源電圧を切換えるため、その切り換え制御が煩雑である。2値からの選択でありスタンバイ時には直流電流のバス分を無駄に消費する。

【解決手段】本発明は、外部から供給される一定の外部電源電圧を変化させることなく維持したまま、抵抗により複数に分圧した分圧レベル信号をスイッチ (Pchトランジスタ Tr1～Tr3) で選択する論理的動作により、通常の駆動を行うための駆動用電源電圧 VDD、バーンイン等のテスト用電源電圧若しくは、低消費電流となるスタンバイ時のスタンバイ電源電圧 V<sub>stby</sub>というような所望する内部電源電圧 V<sub>DDin</sub>に設定し、アンプ部4を安定的に駆動して所望する内部電源電圧を供給する電源降下回路である。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に形成され、外部から供給された外部電源電圧を降圧して所定の内部電源電圧を該半導体基板上の回路素子に供給する電源降下回路において、

前記外部電源電圧から少なくとも 3 つ以上の異なる分圧レベル信号を生成する分圧手段と、

前記分圧レベル信号のうちのいずれか 1 つを選択的に出力させるスイッチング手段と、

前記外部電源電圧を選択された分圧レベル信号に基づき、所望する内部電源電圧レベルに降圧する降電圧手段と、を具備し、

少なくとも前記回路素子における、駆動状態時、スタンバイ状態時若しくは、バーンイン（エージング）状態時のいずれかに供給するための電圧値が異なる内部電源電圧を生成することを特徴とする電源降下回路。

【請求項 2】 半導体基板上に形成され、外部から供給された外部電源電圧を降圧して所定の内部電源電圧を該半導体基板上の回路素子に供給する電源降下回路において、

所望の分圧比に基づき、並列接続された抵抗からなる複数の抵抗列により、前記外部電源電圧から少なくとも 3 つ以上の異なる分圧レベル信号を生成する分圧回路と、与えられた指示信号により前記外部電源電圧をいずれか 1 つの前記抵抗列に印加して、前記分圧レベル信号を選択的に出力させるスイッチングトランジスタ列と、

前記外部電源電圧を選択された分圧レベル信号に基づき、供給すべき内部電源電圧のレベルをフィードバック制御による制御信号として出力するアンプ部と、

前記制御信号に基づき、所望する内部電源電圧レベルに降圧する降電圧トランジスタと、を具備し、

少なくとも前記回路素子の駆動状態時に供給する第 1 の内部電源電圧と、前記回路素子のスタンバイ時に供給する第 2 の内部電源電圧と、前記回路素子をバーンイン若しくはエージングさせる時に供給する第 3 の内部電源電圧を生成し、いずれかを選択的に供給することを特徴とする電源降下回路。

【請求項 3】 半導体基板上に形成され、外部から供給された外部電源電圧を降圧して所定の内部電源電圧を該半導体基板上の回路素子に供給する電源降下回路において、

複数の抵抗を所望の分圧比に基づき、直列接続された抵抗列により、前記外部電源電圧から少なくとも 3 つ以上の異なる分圧レベル信号を生成する分圧回路と、

それぞれに与えられた指示信号により前記分圧回路から分圧レベル信号を出力させる複数の転送ゲートからなり、選択的に分圧レベル信号を出力するスイッチング回路と、

前記外部電源電圧を選択された分圧レベル信号に基づき、供給すべき内部電源電圧のレベルをフィードバック

制御による制御信号として出力するアンプ部と、前記制御信号に基づき、所望する内部電源電圧レベルに降圧する降電圧トランジスタと、を具備し、少なくとも前記回路素子の駆動状態時に供給する第 1 の内部電源電圧と、前記回路素子のスタンバイ時に供給する第 2 の内部電源電圧と、前記回路素子をバーンイン若しくはエージングさせる時に供給する第 3 の内部電源電圧を生成し、いずれかを選択的に供給することを特徴とする電源降下回路。

【請求項 4】 半導体基板上に形成され、外部から供給された外部電源電圧を降圧して所定の内部電源電圧を該半導体基板上の回路素子に供給する電源降下回路において、

前記外部電源電圧から所定の分圧レベル信号を生成し、前記分圧レベル信号を入力し、第 1 の指示信号により制御されて、前記回路素子の通常駆動するための電源電圧を出力する第 1 の内部電源電圧出力手段と、

第 2 の指示信号により前記回路素子のバーンイン若しくはエージングを行うための電源電圧を出力する第 2 の内部電源電圧手段と、

常時電源供給状態を維持して、前記第 1 及び第 2 の内部電源電圧出力手段が共に電源を供給しない時に、前記回路素子をスタンバイ状態に維持させるための電源を出力する第 3 の内部電源電圧出力手段と、を具備し、

前記第 1 、第 2 及び第 3 の内部電源電圧出力手段のいずれか 1 つから前記第 1 及び第 2 の指示信号により、前記回路素子に内部電源電圧を供給することを特徴とする電源降下回路。

【請求項 5】 半導体基板上に形成され、外部から供給された外部電源電圧を降圧して所定の内部電源電圧を該半導体基板上の回路素子に供給する電源降下回路において、

所望の分圧比に基づき直列接続され、前記外部電源電圧から所定の分圧レベル信号を生成する抵抗列と、前記分圧レベル信号を入力し、第 1 の指示信号により動作するアンプに制御され、前記回路素子の通常駆動するための電源電圧を出力する第 1 のトランジスタと、

第 2 の指示信号により前記回路素子のバーンイン若しくはエージングを行うための電源電圧を出力する第 2 のトランジスタと、

常時導通状態を維持して、前記第 1 及び第 2 のトランジスタが共に電源を供給しない時に、前記回路素子をスタンバイ状態に維持させるための電源を出力する第 3 のトランジスタと、を具備し、前記第 1 及び第 2 の指示信号により、いずれかのトランジスタを駆動して前記回路素子に内部電源電圧を供給することを特徴とする電源降下回路。

【請求項 6】 前記電源降下回路における前記第 3 の内部電源電圧出力手段は、前記回路素子に印加される電源電圧が 0 になることを防止するキーパー回路として機能

する、1つ若しくは多段直列接続されたトランジスタからなることを特徴とする請求項4に記載の電源降下回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に形成され、外部から供給される電源電圧を複数の電圧に降圧した内部電源電圧として回路素子に供給する電源降下回路に関する。

【0002】

【従来の技術】一般に、半導体基板上には種々の回路素子が形成されており、その回路素子の微細化が要求されるに従い、素子自体が小型化する、配線幅が狭められるなどによる耐圧低下の関係や消費電流の低減化から低電圧化が必要となり、外部から供給される電源電圧例えは5Vを基板上に設けた降圧回路により、3~4Vに降圧して、それぞれの回路素子に供給していた。

【0003】しかし、単に低圧電源電圧のみしか搭載していない設計にすると、バーンインやエージング等の試験で大きな電圧を必要とする場合には、その都度、外部から別途供給して行わなければならなかった。

【0004】そこで、外部電源電圧と内部で降圧して生成した低電源電圧とを切り替えて用いる技術、例えば、特開平7-57472号公報には、外部電源電圧を降圧して回路素子の駆動に用いられる低電源電圧を新たに生成し、スイッチ回路で低電源電圧と元の外部電源電圧とのいずれかに切り替えて内部の回路素子に供給するための分圧機能を有する降圧回路が備えられた半導体集積回路装置が提案されている。

【0005】

【発明が解決しようとする課題】しかし前述した公報における降圧回路は、外部端子から与えた通常の信号レベルとは異なる入力レベルの信号を入力して、回路素子に供給される電源電圧を通常動作時とバーンイン等の試験動作時との2つの値に切り替えているため、その切り換え制御が煩雑となる。

【0006】また通常の駆動時電圧とバーンイン等のテスト時電圧の2つの電圧値のみからの選択となるため、回路がスタンバイ時でも、通常の駆動レベルの電圧を維持して直流電流のバス分を無駄に消費している。

【0007】そこで本発明は、外部電源電圧から生成する内部電源電圧を3つ以上の複数の電圧値に切り換えることにして、回路素子の安定した駆動とスタンバイ時の低消費電流化及び、直流電流リーキを低減する電源降下回路を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するために、半導体基板上に形成され、外部から供給された外部電源電圧を降圧して所定の内部電源電圧を該半導体基板上の回路素子に供給する電源降下回路において

て、前記外部電源電圧から少なくとも3つ以上の異なる分圧レベル信号を生成する分圧手段と、前記分圧レベル信号のうちのいずれか1つを選択的に出力させるスイッチング手段と、前記外部電源電圧を選択された分圧レベル信号に基づき、所望する内部電源電圧レベルに降圧する降圧手段とを備えて、少なくとも前記回路素子における、駆動状態時、スタンバイ状態時若しくは、バーンイン（エージング）状態時のいずれかに供給するための電圧値が異なる内部電源電圧を生成する電源降下回路を提供する。

【0009】以上のような構成の電源降下回路は、外部から供給される一定電圧の外部電源電圧から生成した少なくとも3つ以上の分圧レベル信号をスイッチで選択する論理的動作により、通常の駆動を行うための駆動用電源電圧VDD、バーンインやエージングのためのテスト用電源電圧Vtest若しくは、低消費電流となるスタンバイ時のスタンバイ電源電圧Vstby等からなる内部電源電圧VDDinに選択して設定し、安定的に駆動して所望する内部電源電圧を回路素子に供給する。

【0010】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について詳細に説明する。

【0011】図1には、本発明による第1の実施形態に係る電源降下回路の構成を示し、説明する。

【0012】この電源降下回路は、外部から供給される外部電源電圧VDDを抵抗値の比により分圧する分圧部1と、分圧部1に外部電源電圧VDDを印加し、選択的に複数の分圧レベル信号（Vref1~Vref3）のうちのいずれか1つを出力させるスイッチ部2と、選択された分圧レベル信号（Vref1~Vref3）に基づき、降電圧（Pch）トランジスタ3から出力される内部電源電圧のレベルをフィードバック制御するアンプ部4とで構成される。

【0013】この分圧部1は、それぞれが異なる値の3つの抵抗列R1~R3が並列接続され、抵抗Raとの抵抗値比により外部電源電圧VDDを分圧する。スイッチ部2は、電源線（外部電源電圧VDD）に接続され、図示しない制御部の指示信号CTL1~CTL3により、外部電源電圧VDDを選択的に1つの抵抗列に印加するPchトランジスタTr1~Tr3で構成される。

【0014】このような構成では、抵抗値比に応じた分圧レベル信号Vref1、Vref2、Vref3の3つの分圧レベル信号の内のいずれか1つが選択スイッチ部2により選択され、この選択された分圧レベル信号に基づく内部電源電圧VDDinがPchトランジスタからなる降電圧トランジスタ3から出力される。

【0015】本実施形態では、例えば、通常に回路素子を駆動するための駆動用電源電圧を2.5V、バーンインやエージング等を行うためのテスト電源電圧を外部電源電圧VDD、さらに回路素子のスタンバイ状態の際に供給するスタンバイ電源電圧Vstby等が考えられる。勿

論、電源電圧値は、これに限定されるものではない。

【0016】以上の構成により、本実施形態の電源降下回路は、外部から供給される外部電源電圧を変化させることなく維持したまま、スイッチ（PchトランジスタTr1～Tr3）のいずれかを選択する論理的動作により、通常の駆動を行うための駆動用電源電圧VDD、バーンイン等のテスト用電源電圧若しくは、低消費電流となるスタンバイ時のスタンバイ電源電圧Vsbyというような所望する内部電源電圧VDDinに設定される。これにより、従来技術のように切換による電源電圧の変化が無くなり、一定電圧の環境下で電源降下回路に組み込まれたアンプ部が安定して駆動することができる。

【0017】図2には、第2の実施形態に係る電源降下回路の構成例を示し説明する。

【0018】この電源降下回路は、外部から供給される電源電圧VDDを分圧する分圧部11と、分圧された分圧レベル信号（ $VDD = Vref0, Vref1 \sim Vref3$ ）を選択する選択スイッチ部12と、選択された分圧レベル信号に基づき、降電圧トランジスタ13から出力される内部電源電圧のレベルをフィードバック制御するアンプ部14とで構成される。

【0019】この分圧部11は、直列接続された抵抗R1, R2, R3, R4からなり、所望する分圧比に応じたそれぞれの抵抗値に設定する。選択スイッチ部12は、図示しないCPU等の制御部からの指示信号により動作する、インバータ15a～15d及びトランസ്ഫার্গート16a～16dで構成される。分圧部11による分圧レベル信号は、トランസ്ഫার্গート16a～16dのいずれか1つを通り、アンプ部14に入力される。

【0020】またアンプ部14は、選択スイッチ部12からの分圧レベル信号に基づき、降電圧トランジスタ13を駆動して、供給される外部電源電圧を所望する内部電源電圧VDDinに変換して図示しない回路素子に供給する。

【0021】このような構成では、分圧レベル信号Vref0と、抵抗値の比に応じた分圧レベル信号Vref1, Vref2, Vref3の4つのレベル信号の内のいずれか1つが選択スイッチ部2により選択され、この選択されたレベル信号に応じた内部電源電圧VDDinが降電圧トランジスタ13から出力される。

【0022】本実施形態では、例えば、通常に回路素子を駆動するための駆動用電源電圧を2.5V、バーンインやエージング等を行うためのテスト電源電圧を外部電源電圧VDD、さらに回路素子のスタンバイ状態の際に供給するスタンバイ電源電圧Vsby等が考えられる。勿論、これに限定されるものではない。

【0023】本実施形態においても前述した第1の実施形態と同様な作用、効果を得ることができる。

【0024】次に図3には、第3の実施形態に係る電源

降下回路の構成例を示し説明する。この電源降下回路は、抵抗R1と抵抗R2の比により外部から供給される電源電圧VDDを分圧する分圧部21と、分圧された分圧レベル信号を入力し、図示しない制御部からの指示信号CTL1により、通常の駆動電圧になるように電圧降下を行うPchトランジスタTr1から出力される内部電源電圧VDDinのレベルをフィードバック制御するアンプ部22と、図示しない制御部からの指示信号CTL2により外部電源電圧VDと同じ電圧値のテスト電源電圧Vtestを内部電源電圧VDDinとして出力するPchトランジスタTr2と、常時オン状態を維持してスタンバイ電圧Vsbyを発生させるキーパー回路として機能するPchトランジスタTr3とで構成される。

【0025】尚、このPchトランジスタTr3によるスタンバイ電圧Vsbyは、図4に示すようにトランジスタをさらに直列接続することにより、電圧値を調整することができる。

【0026】本実施形態においても前述した第1の実施形態と同様な作用、効果を得ることができる。

【0027】図5を参照して、第3の実施形態のように構成された電源降下回路の動作について説明する。本実施形態においては、生成する内部電源電圧値として、例えば、通常の駆動電源電圧（2.5V）、バーンインやエージング等を行うためのテスト電源電圧を外部電源電圧VDD、さらに回路素子のスタンバイ状態の際には、比較的低電圧のスタンバイ電源電圧Vsbyとして説明する。

【0028】まず、指示信号CTL1がHレベルの時、アンプ部22が分圧レベル信号に基づく出力信号によりPchトランジスタTr1は、通常の駆動電圧を出力する。この時、指示信号CTL2はHレベルであり、トランジスタTr2はオフ状態にある。

【0029】また、指示信号CTL2がLレベルとなった場合には、トランジスタTr2はオン状態となり、外部電源電圧VDDを内部電源電圧VDDinとして出力する。この時、PchトランジスタTr1が出力する通常の駆動電源電圧VDDinが外部電源電圧VDDに比べて低い電圧であるため、PchトランジスタTr1のオン・オフのいずれの状態であってもよい。

【0030】そして、指示信号CTL1がLレベルの時、アンプ部22はHレベルを出力しており、PchトランジスタTr1はオフ状態にある。また、指示信号CTL2がHレベルであるとトランジスタTr2はオフ状態にある。従って、常時オン状態にあるPchトランジスタTr3からスタンバイ電圧Vsbyが内部電源電圧VDDinとして出力される。

【0031】尚、前述した各実施形態では、Pchトランジスタを一例として説明しているが、これに限定されるものではなく、他の駆動素子を用いててもよい。

【0032】以上説明したように実施形態によれば、外

部から供給される一定電圧の外部電源電圧を維持したまま、スイッチのいずれかを選択する論理的動作により、通常の駆動を行うための駆動用電源電圧VDD、バーンイン等のテスト用電源電圧Vtest若しくは、低消費電流となるスタンバイ時のスタンバイ電源電圧Vstbyというようすな所望する内部電源電圧VDDinに設定される。これにより、従来技術のように内部電源電圧を切り換える際に必要であった電源電圧の変化が無くなり、一定電圧の環境下で電源降下回路に組み込まれたアンプ部が安定して駆動することができる。

## 【0033】

【発明の効果】以上詳述したように本発明によれば、外部電源電圧から生成する内部電源電圧を3つ以上の複数の電圧値に切り換え可能にして、回路素子の安定した駆動とスタンバイ時の低消費電流化及び、直流電流リーケークを低減する電源降下回路を提供することができる。

## 【図面の簡単な説明】

【図1】第1の実施形態に係る電源降下回路の構成を示す図である。

## 【図2】第2の実施形態に係る電源降下回路の構成例を

示す図である

【図3】第3の実施形態に係る電源降下回路の構成例を示す図である

【図4】スタンバイ電圧Vstbyを発生させるキーパー回路の構成例である。

【図5】第3の実施形態の電源降下回路の動作について説明するための図である。

## 【符号の説明】

1…分圧部

10 2…スイッチ部

3…降電圧(Pch)トランジスタ

4…アンプ部

R1～R3…抵抗(列)

12 CTL1, CTL2, CTL3…指示信号

Tr1～Tr3…Pchトランジスタ

Vref1, Vref2, Vref3…分圧レベル信号

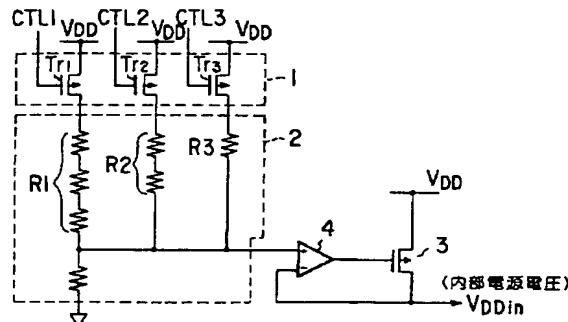
VDD…外部電源電圧

VDDin…内部電源電圧

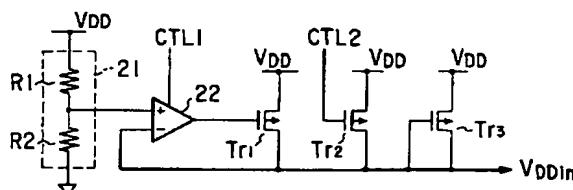
Vstby…スタンバイ電源電圧

20

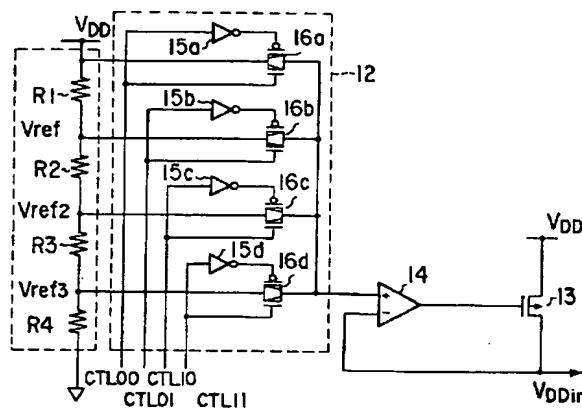
【図1】



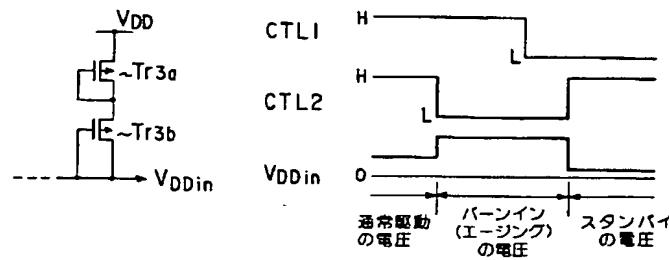
【図3】



【図2】



【図4】



【図5】